

Docket No.: 22040-00025-US
(PATENT)

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re Patent Application of:
Munehiro Karasudani

Application No.: 10/707,546

Confirmation No.: 1545

Filed: December 20, 2003

Art Unit: N/A

For: SEMICONDUCTOR INTEGRATED CIRCUIT

Examiner: Not Yet Assigned

CLAIM FOR PRIORITY AND SUBMISSION OF DOCUMENTS

Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

Dear Sir:

Applicant hereby claims priority under 35 U.S.C. 119 based on the following prior foreign application filed in the following foreign country on the date indicated:

<u>Country</u>	<u>Application No.</u>	<u>Date</u>
Japan	2001-220877	July 23, 2001

In support of this claim, a certified copy of the said original foreign application is filed herewith.

Applicant believes no fee is due with this response. However, if a fee is due, please charge our Deposit Account No. 22-0185, under Order No. 22040-00025-US from which the undersigned is authorized to draw.

Dated: December 22, 2003
14716_1

Respectfully submitted,

By Larry J. Hume
Larry J. Hume

Registration No.: 44,163
CONNOLLY BOVE LODGE & HUTZ LLP
1990 M Street, N.W., Suite 800
Washington, DC 20036-3425
(202) 331-7111
(202) 293-6229 (Fax)
Attorney for Applicant

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日 2 0 0 1 年 7 月 2 3 日
Date of Application:

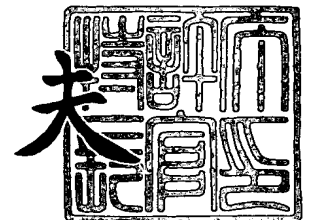
出 願 番 号 特 願 2 0 0 1 - 2 2 0 8 7 7
Application Number:
[ST. 10/C]: [J P 2 0 0 1 - 2 2 0 8 7 7]

出 願 人 新潟精密株式会社
Applicant(s):

2 0 0 3 年 1 0 月 2 日

特許庁長官
Commissioner,
Japan Patent Office

今 井 康 夫



出証番号 出証特 2 0 0 3 - 3 0 8 1 5 3 9

【書類名】 特許願

【整理番号】 13NS1306

【提出日】 平成13年 7月23日

【あて先】 特許庁長官殿

【国際特許分類】 H01L 27/00

【発明者】

【住所又は居所】 東京都港区芝大門 1 丁目 1 6 番 3 号 芝大門 1 1 6 ビル
7 F 新潟精密株式会社内

【氏名】 烏谷 宗宏

【特許出願人】

【識別番号】 591220850

【氏名又は名称】 新潟精密株式会社

【代理人】

【識別番号】 100105784

【弁理士】

【氏名又は名称】 橘 和之

【電話番号】 0492-49-5122

【手数料の表示】

【予納台帳番号】 070162

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 0006161

【ブルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体集積回路

【特許請求の範囲】

【請求項 1】 CMOS プロセスで構成された回路ブロックと、上記回路ブロックに対して接続されたアナログ制御線とを備えた半導体集積回路であって、

上記回路ブロックと上記アナログ制御線とが同じ又は異なる配線層で重ならないように、上記アナログ制御線を上記回路ブロックのレイアウト外部に配線したことを特徴とする半導体集積回路。

【請求項 2】 電源のオン／オフ機能を有する、CMOS プロセスで構成された複数の回路ブロックと、

上記複数の回路ブロックに接続された、上記電源のオン／オフを制御するためのアナログ制御線とを備え、

上記複数の回路ブロックと上記アナログ制御線とが同じ又は異なる配線層で重ならないように、上記アナログ制御線を上記複数の回路ブロックのレイアウト外部に配線したことを特徴とする半導体集積回路。

【請求項 3】 電源のオン／オフ機能を有する、CMOS プロセスで構成された複数の回路ブロックと、

上記複数の回路ブロックの電源のオン／オフを制御する制御回路と、

上記複数の回路ブロックと上記制御回路との間に接続されたアナログ制御線とを同一チップ上に備え、

上記複数の回路ブロックのレイアウト外部に上記アナログ制御線を配線し、もしくは、ある回路ブロックのレイアウト上に、上記制御回路により上記ある回路ブロックの電源がオンに制御されたときにこれと同時にオンに制御されない他の回路ブロックに対するアナログ制御線を配線するようにしたことを特徴とする半導体集積回路。

【請求項 4】 フィードバックループを有するアナログ回路を備えた CMOS 構造の半導体集積回路であって、

上記フィードバックのためのアナログ信号線を上記アナログ回路のレイアウト外部に配線したことを特徴とする半導体集積回路。

【発明の詳細な説明】**【0001】****【発明の属する技術分野】**

本発明は半導体集積回路に関し、特に、複数の回路ブロックを1つのチップ上に集積し、各回路ブロックにアナログ制御ラインを接続したCMOS構造の半導体集積回路に用いて好適なものである。

【0002】**【従来の技術】**

半導体装置を製造するための技術には、Si（シリコン）バイポーラ技術や、化合物半導体のGaAs（ガリウムヒ素）技術、CMOS技術などがある。この中でCMOS技術は、消費電力が小さいこと、低電圧でも動作すること、微細化で高速動作が可能なこと、製造コストが安くて済むことなどの特徴があり、現在、半導体装置の中でも最も多く採用されている。

【0003】

その中にあって、高周波信号を受信して処理するRF（Radio Frequency）回路（アナログ回路部）には、バイポーラ技術やGaAs技術が用いられることが多く、これまでCMOS技術が用いられることはほとんどなかった。これは、CMOS技術は主にデジタル回路に適した技術であり、CMOS回路ではS/Nが良好な十分な高周波特性を得ることができなかったからである。

【0004】

ところが、近年になって、近距離無線データ通信技術のブルートゥースや、5GHz帯を使う無線LANなどに向けた半導体チップで、CMOS技術を導入したものが登場してきている。これは、音声通話が最優先の携帯電話機等と異なり、ブルートゥースや無線LANはデータ通信が主なので、RF回路に必要な特性の基準値が携帯電話機等に比べて緩いことによる。しかし、今後CMOS技術の改良が進めば、携帯電話機等にもCMOS技術が導入されることが予想される。

【0005】

一方、近年では半導体の高集積化・多機能化が進み、複数の回路ブロックを1つの半導体チップ内に集積化したICも数多く提供されている。このように複数

の回路ブロックを1チップに集積する場合には、消費電力の低減などを目的として、個々の回路ブロックごとに独立して電源のオン／オフを制御できるようにすることが望まれる。

【0006】

例えば、AMラジオ放送とFMラジオ放送の両方の受信機能を1チップ化した回路においては、AMラジオ放送を受信するときにはAM用の回路ブロックをオン、FM用の回路ブロックをオフとし、FMラジオ放送を受信するときにはAM用の回路ブロックをオフ、FM用の回路ブロックをオンとする必要がある。そのためには、チップの外部でまとめて電源をオン／オフするのではなく、チップ内部で各回路ブロックごとに電源のオン／オフを制御する仕組みが必要となる。

【0007】

【発明が解決しようとする課題】

従来のバイポーラトランジスタを用いた集積回路であれば、小さなトランジスタでも大きな駆動能力を実現できることから、各回路ブロックの大元にスイッチング用のトランジスタを設け、このトランジスタを制御することによって電源のオン／オフを切り替えることができた。

【0008】

しかしながら、CMOS技術による集積回路では、その中で用いられるMOSFET（電界効果トランジスタ）の駆動能力がそれほど高くないので、各回路ブロックの大元にだけスイッチング用のトランジスタを設けるという仕組みは採用できない。そのため、CMOS技術の場合は、回路ブロック内で使用している個々のトランジスタに対して電源のオン／オフを個別に制御する必要がある。必然的に、電源制御用に使用するトランジスタの数は多くなる。

【0009】

また、個々のトランジスタに対して電源のオン／オフを制御すると、オフのときにはトランジスタのゲートがどこにもつながっていないフローティング状態になる。この状態では、トランジスタはハイインピーダンスとなり、ノイズを拾いやすい状態となる。場合によっては、ノイズによって誤回路が動作してしまうこともある。したがって、このようなノイズによる誤動作を遮断するためのスイッ

チングトランジスタが別に必要となり、トランジスタの数は更に増える。

【0010】

このように、複数の回路ブロックを集積したCMOSによるICチップでは、個々の回路ブロックごとに電源のオン／オフを制御するために多くのトランジスタが必要になる。そのため、これらのトランジスタに対して制御信号を供給するためのアナログ制御ラインの本数も非常に多くなる。当然、CMOS技術でアナログ回路を構成する場合には、電源のオン／オフ制御だけでなく、回路動作を制御するためのアナログ制御ラインの数も非常に多くなる。その結果、ICチップ内の配線面積は増大する。

【0011】

従来のCMOSプロセスでは、制御ラインの配線面積が増大することによるチップサイズの大変大を回避するために、多層配線層を用いて、回路ブロックの上層または下層に、レイアウト的には回路ブロックと重なるように制御ラインを配線していた。図6に、この場合の配線レイアウト例を示す。

【0012】

図6に示すICチップ100は、AM特有の処理を行う回路ブロック1と、FM特有の処理を行う回路ブロック2と、AMとFMで共通の処理を行う回路ブロック3と、制御回路4とを備えている。各回路ブロック1～3と制御回路4との間には、アナログ制御ライン105₋₁～105₋₃が配線されている。

【0013】

図6の例の場合、制御回路4からAM回路ブロック1に引かれるアナログ制御ライン105₋₁と、制御回路4からFM回路ブロック2に引かれるアナログ制御ライン105₋₂は、配線面積の分だけチップサイズが大きくなるのを防ぐために、AM・FM共通回路ブロック3に重ねて（正確には、AM・FM共通回路ブロック3と異なる配線層に）配線される。

【0014】

しかしながら、このように回路ブロックに重ねてアナログ制御ラインを配線すると、回路ブロック内の信号ラインとアナログ制御ラインとが絶縁層を介して等価的に寄生容量を形成し、その結果、回路ブロック内の信号ラインとアナログ制

御ラインとが容量結合してしまう。

【0015】

そのため、信号ラインとアナログ制御ラインとの間で寄生容量を介して相互に信号が伝達され、互いに干渉を起こすようになる。その結果、信号ライン上を流れるアナログ信号の品質が、アナログ制御ラインから重畳される制御信号により劣化してしまう問題があった。また、アナログ制御ライン上を流れる制御信号が、信号ラインから重畳される信号によって変動し、誤動作を引き起こすことがあるという問題もあった。

【0016】

特に最近では、1チップ上に集積する複数の回路ブロックとしてアナログ回路ブロックとデジタル回路ブロックとを備えた、いわゆるアナログ・デジタル混載LSIも多く用いられている。このような混載LSIにおいて、デジタル回路ブロックの上層または下層にアナログ制御ラインを配線すると、寄生容量を介してクロックなどの大きな電圧のデジタル信号が微小なアナログ制御信号に重畳してしまい、誤動作を引き起こしやすくなるという問題があった。

【0017】

本発明は、このような問題を解決するために成されたものであり、CMOS技術を用いて複数の回路ブロックを1チップ上に集積する場合に、各回路ブロックに対して接続されるアナログ制御ラインを通じた結合ノイズを防止し、アナログ特性の劣化や回路の誤動作を抑止できるようにすることを目的とする。

【0018】

【課題を解決するための手段】

本発明の半導体集積回路は、CMOSプロセスで構成された回路ブロックと、上記回路ブロックに対して接続されたアナログ制御線とを備えた半導体集積回路であって、上記回路ブロックと上記アナログ制御線とが同じ又は異なる配線層で重ならないように、上記アナログ制御線を上記回路ブロックのレイアウト外部に配線したことを特徴とする。

【0019】

本発明の他の態様では、電源のオン／オフ機能を有する、CMOSプロセスで

構成された複数の回路ブロックと、上記複数の回路ブロックに接続された、上記電源のオン／オフを制御するためのアナログ制御線とを備え、上記複数の回路ブロックと上記アナログ制御線とが同じ又は異なる配線層で重ならないように、上記アナログ制御線を上記複数の回路ブロックのレイアウト外部に配線したことを特徴とする。

【0020】

本発明のその他の態様では、電源のオン／オフ機能を有する、CMOSプロセスで構成された複数の回路ブロックと、上記複数の回路ブロックの電源のオン／オフを制御する制御回路と、上記複数の回路ブロックと上記制御回路との間に接続されたアナログ制御線とを同一チップ上に備え、上記複数の回路ブロックのレイアウト外部に上記アナログ制御線を配線し、もしくは、ある回路ブロックのレイアウト上に、上記制御回路により上記ある回路ブロックの電源がオンに制御されたときにこれと同時にオンに制御されない他の回路ブロックに対するアナログ制御線を配線するようにしたことを特徴とする。

【0021】

本発明のその他の態様では、フィードバックループを有するアナログ回路を備えたCMOS構造の半導体集積回路であって、上記フィードバックのためのアナログ信号線を上記アナログ回路のレイアウト外部に配線したことを特徴とする。

【0022】

本発明は上記技術手段より成るので、回路ブロック内の信号線とアナログ制御線とが互いに近傍に配置されることがなくなり、当該回路ブロック内の信号線とアナログ制御線との間に寄生容量が生じないようにすることが可能となり、寄生容量を介した結合を防止できる。

【0023】

また、本発明の他の特徴によれば、ある回路ブロックのレイアウト上に他の回路ブロックに対するアナログ制御線を重ねて配線することで、その分だけ集積回路の面積を小さくすることが可能となる。また、ある回路ブロック内の信号線と他の回路ブロックに対するアナログ制御線とが互いに近傍に配置されても、当該信号線とアナログ制御線とに同時に信号が流れることがないので、当該信号線と

アナログ制御線との間における信号の相互干渉を抑制することも可能となる。

【0024】

【発明の実施の形態】

以下、本発明の一実施形態を図面に基づいて説明する。

図1は、本実施形態による半導体集積回路の構成例を示す図である。図1に示すICチップ10は、AM特有の処理を行う回路ブロック1と、FM特有の処理を行う回路ブロック2と、AMとFMで共通の処理を行う回路ブロック3と、制御回路4とを備えている。これらの回路1～4は、CMOSプロセスで構成されている。なお、制御回路4は、ICチップ10の外部に構成しても良い。

【0025】

各回路ブロック1～3と制御回路4との間には、アナログ制御ライン5₁～5₃が配線されている。このアナログ制御ライン5₁～5₃は、各回路ブロック1～3の電源のオン／オフを個別に制御する制御信号を供給するための制御ラインを含む。また、電源のオン／オフ制御以外にも、各回路ブロック1～3の回路動作を制御する制御信号を供給するための制御ラインを含んでいても良い。

【0026】

図2は、AM回路ブロック1内の回路構成例を示す図である。図2に示すAM回路ブロック1は、高周波増幅回路11、混合回路12、局部発振回路（OSC）13、選局回路14、中間周波増幅回路15、AM検波回路16、自動利得制御（AGC）回路17、および低周波増幅回路18を含んで構成されている。

【0027】

高周波増幅回路11は、図示しないアンテナで受信した放送波のうち特定の周波数帯域の放送波を選択的に増幅する。混合回路12、局部発振回路13および選局回路14は周波数変換器を構成しており、高周波増幅回路11から出力される周波数 f_C の搬送波信号と、局部発振回路13から出力される周波数 f_L （選局回路14により設定される）の局部発振信号とを混合し、変調内容を変えずに周波数変換を行って $f_L - f_C$ （例えば450KHz）の中間周波信号を生成して出力する。

【0028】

中間周波増幅回路 15 は、混合回路 12 を通過した中間周波信号を増幅する。AM 検波回路 16 は、ダイオード等を用いて中間周波信号を低周波信号に変換する。AGC 回路 17 は、AM 検波回路 16 から出力される AM 放送波の振幅を一定に制御するためのものであり、AM 検波回路 16 の出力振幅に応じた制御電圧を中間周波増幅回路 15 に帰還入力する。低周波増幅回路 18 は、AM 検波回路 16 を通過した低周波信号を増幅し、図示しないスピーカから出力する。

【0029】

以上のように構成された AM 回路ブロック 1 において、例えば高周波増幅回路 11 などに、制御回路 4 からアナログ制御ライン 5₋₁ が接続される。また、AM 回路ブロック 1 の電源のオン／オフを制御するために各ブロック 11～18 の必要箇所に設けられた複数のスイッチングトランジスタにも、制御回路 4 からアナログ制御ライン 5₋₁ が接続される。

【0030】

なお、ここでは AM 放送を受信して再生するのに必要な機能のほぼ全てを、AM 回路ブロック 1 として同一の IC チップ 10 上に集積する例を示したが、必ずしも全てを集積する必要はない。すなわち、各ブロック 11～18 の中の一部を別チップ上に集積しても良い。

【0031】

図 3 は、FM 回路ブロック 2 内の回路構成例を示す図である。図 3 に示す FM 回路ブロック 2 は、高周波増幅回路 21、混合回路 22、局部発振回路 (OSC) 23、選局回路 24、中間周波増幅回路 25、FM 検波回路 26、ステレオ復調回路 27、ディエンファシス回路 28L, 28R、および低周波増幅回路 29L, 29R を含んで構成されている。

【0032】

高周波増幅回路 21 は、図示しないアンテナで受信した放送波のうち特定の周波数帯域の放送波を選択的に増幅する。混合回路 22、局部発振回路 23 および選局回路 24 は周波数変換器を構成しており、高周波増幅回路 21 から出力される周波数 f_c' の搬送波信号と、局部発振回路 23 から出力される周波数 f_L' (選局回路 24 により設定される) の局部発振信号とを混合し、変調内容を変えず

に周波数変換を行って $f_L' - f_C'$ (例えば 10.7 MHz) の中間周波信号を生成して出力する。

【0033】

中間周波増幅回路 25 は、混合回路 22 を通過した中間周波信号を増幅する。FM 検波回路 26 は、中間周波信号を変調前のステレオ複合信号に変換する。このステレオ複合信号は、L 信号成分と、R 信号成分と、19 KHz のパイロット信号とを合成したものである。このステレオ複合信号は、ステレオ復調回路 27 に入力されて L 信号と R 信号とに分離再生される。

【0034】

ディエンファシス回路 28 L, 28 R は、ステレオ復調回路 27 で分離再生された L 信号および R 信号の高域部を減衰させて SN 比の改善を図る。低周波増幅回路 29 L, 29 R は、ディエンファシス回路 28 L, 28 R を通過した低周波信号を増幅し、図示しないスピーカから出力する。

【0035】

以上のように構成された FM 回路ブロック 2 において、例えば高周波増幅回路 21 などに、制御回路 4 からアナログ制御ライン 5₋₂ が接続される。また、FM 回路ブロック 2 の電源のオン／オフを制御するために各ブロック 21～29 の必要箇所に設けられた複数のスイッチングトランジスタにも、制御回路 4 からアナログ制御ライン 5₋₂ が接続される。

【0036】

なお、ここでは FM 放送を受信して再生するのに必要な機能のほぼ全てを、FM 回路ブロック 2 として同一の IC チップ 10 上に集積する例を示したが、必ずしも全てを集積する必要はない。すなわち、各ブロック 21～29 の中の一部を別チップ上に集積しても良い。

【0037】

AM・FM 共通回路ブロック 3 の内部回路については図示を省略するが、例えば、AM 回路ブロック 1 や FM 回路ブロック 2 に基準クロックを供給するクロック発生回路や、AM 回路ブロック 1 内の中間周波増幅回路 15 と FM 回路ブロック 2 内のステレオ復調回路 27 に所定周波数の発振出力を供給する同調発振回路

などが備えられる。

【0038】

図1に示す本実施形態のICチップ10では、制御回路4からAM回路ブロック1に引かれるアナログ制御ライン5₋₁と、制御回路4からFM回路ブロック2に引かれるアナログ制御ライン5₋₂は、AM・FM共通回路ブロック3のレイアウト上（AM・FM共通回路ブロック3と同じ配線層および異なる配線層の両方）に重ならないように、当該AM・FM共通回路ブロック3のレイアウト外部に迂回するように配線している。

【0039】

これにより、アナログ制御ライン5₋₁、5₋₂の分だけICチップ10の面積は増大するが、AM・FM共通回路ブロック3内の信号ライン（図示せず）とアナログ制御ライン5₋₁、5₋₂との距離が離れるので、これらが寄生容量を介して結合してしまう不都合をなくすることができる。したがって、信号ラインとアナログ制御ライン5₋₁、5₋₂との間で起こる信号の相互干渉を抑制することができる。この結果、信号ライン上を流れるアナログ信号の品質劣化や、アナログ制御ライン5₋₁、5₋₂上を流れる制御信号の変動による回路の誤動作を抑止することが可能となる。

【0040】

図4は、本実施形態による半導体集積回路の他の構成例を示す図である。図4に示すICチップ20も図1に示したICチップ10と同様に、AM特有の処理を行う回路ブロック1と、FM特有の処理を行う回路ブロック2と、AMとFMで共通の処理を行う回路ブロック3と、制御回路4とを備えている。ただし、これら各回路1～4のレイアウトが図1の例と異なっている。

【0041】

図1のICチップ10では、制御回路4に隣接してAM・FM共通回路ブロック3が配置され、AM回路ブロック1とFM回路ブロック2は共に、AM・FM共通回路ブロック3を挟んで制御回路4の反対側に縦方向に並べて配置されていた。これに対して、図4に示すICチップ20では、AM回路ブロック1とFM回路ブロック2は、制御回路4の隣に横方向に並べて配置され、これらの下にA

M・FM共通回路ブロック 3 が配置されている。

【0042】

このように配置した場合も、各回路ブロック 1～3 と制御回路 4 との間には、アナログ制御ライン 5₋₁～5₋₃が配線される。FM回路ブロック 2 と制御回路 4 との間のアナログ制御ライン 5₋₂およびAM・FM共通回路ブロック 3 と制御回路 4 との間のアナログ制御ライン 5₋₃は、これらの回路ブロックが互いに隣接しているために、他の回路ブロックを迂回することなく、また、他の回路ブロックのレイアウト上に重なることなく配線することが可能である。

【0043】

一方、AM回路ブロック 1 と制御回路 4 との間のアナログ制御ライン 5₋₁は、AM回路ブロック 1 と制御回路 4 との間にあるFM回路ブロック 2 のレイアウト上に重ねて（FM回路ブロック 2 と同じ配線層または異なる配線層に）配線している。

このように、図 4 の例では、各回路ブロック 1～3 と制御回路 4 とをつなぐアナログ制御ライン 5₋₁～5₋₃は何れも、他の回路ブロックを迂回することなく配線されている。

【0044】

AM受信機能とFM受信機能とを 1 チップ化した IC チップ 20 においては、AMラジオ放送を受信するときにはAM回路ブロック 1 をオン、FM回路ブロック 2 をオフとする。また、FMラジオ放送を受信するときにはAM回路ブロック 1 をオフ、FM回路ブロック 2 をオンとする。したがって、AM回路ブロック 1 とFM回路ブロック 2 とが同時にオンとなることはない。

【0045】

つまり、アナログ制御ライン 5₋₁に制御信号を送ってAM回路ブロック 1 を制御しているときには、FM回路ブロック 2 は必ずオフ状態にあり、FM回路ブロック 2 内の信号ライン上には信号が流れていない。そのため、AM回路ブロック 1 に対するアナログ制御ライン 5₋₁をFM回路ブロック 2 のレイアウト上に重ねて配線しても、AM回路ブロック 1 に対するアナログ制御ライン 5₋₁とFM回路ブロック 2 内の信号ラインとの間で信号の相互干渉が起こることは殆どない。

【0046】

これにより、図4のレイアウトによれば、アナログ制御ライン5₋₁～5₋₃によりICチップ20の面積を大きくすることなく、各回路ブロック1～3内の信号ラインとアナログ制御ライン5₋₁～5₋₃とが寄生容量を介して結合してしまう不都合をなくすることができる。したがって、信号ラインとアナログ制御ライン5₋₁～5₋₃との間で起こる信号の相互干渉を抑制し、信号ライン上を流れるアナログ信号の品質劣化や、アナログ制御ライン5₋₁～5₋₃上を流れるから制御信号の変動による回路の誤動作を抑止することができる。

【0047】

なお、上記実施形態では、ICチップ内に備えられる複数の回路ブロックの例としてAM/FMラジオの受信回路について説明したが、これは単なる例であって、本発明はこれに限定されるものではない。例えば、アナログ回路とデジタル回路とが混載されたICチップにおいて、アナログ回路に対するアナログ制御線をデジタル回路のレイアウト外部に配線するようにしても良い。

【0048】

また、上記実施形態では、複数の回路ブロックに対して電源のオン／オフを個別に制御可能に成されたICチップについて説明したが、電源のオン／オフ機能を有していない回路をアナログ制御する場合にも本発明を同様に適用することが可能である。つまり、アナログ制御線は、回路ブロックの電源のオン／オフを制御するための制御線に限定されるものではない。

【0049】

また、上記実施形態では、アナログ制御ラインの配線レイアウトについて説明したが、アナログ信号ラインの配線レイアウトについても同様に本発明を適用することが可能である。例えば、図5に示すようなフィードバックループを備えた回路について考える。図5に示す回路は、加算器51と、加算器51から出力されるアナログ信号の処理を行うアナログ回路52とを備え、アナログ回路52の出力信号をアナログ信号ライン53を介して加算器51にフィードバック入力している。

【0050】

このような回路において、アナログ信号ライン 53 をアナログ回路 52 のレイアウト上に重ねて配線するのではなく、アナログ信号ライン 53 をアナログ回路 52 のレイアウト外部に配線するようにする。これにより、アナログ回路 52 内の信号ラインと、フィードバック用のアナログ信号ライン 53 とが寄生容量により結合するのを防ぐことができる。

【0051】

その他、上記説明した実施形態は、本発明を実施するにあたっての具体化の一例を示したものに過ぎず、これによって本発明の技術的範囲が限定的に解釈されてはならないものである。すなわち、本発明はその精神、またはその主要な特徴から逸脱することなく、様々な形で実施することができる。

【0052】

【発明の効果】

本発明は上述したように、CMOS プロセスで構成された回路ブロックと、これに接続されるアナログ制御線とが重ならないように、アナログ制御線を回路ブロックのレイアウト外部に配線するようにしたので、回路ブロック内の信号線とアナログ制御線との距離をできるだけ離し、回路ブロック内の信号線とアナログ制御線とが寄生容量を介して結合してしまう不都合をなくすることができる。したがって、信号線とアナログ制御線との間で起こる信号の相互干渉を抑制し、信号線上を流れるアナログ信号の品質劣化や、アナログ制御線上を流れる制御信号の変動による回路の誤動作を抑止することができる。

【0053】

また、本発明の他の特徴によれば、ある回路ブロックのレイアウト上に、当該ある回路ブロックの電源がオンに制御されたときにこれと同時にオンに制御されない他の回路ブロックに対するアナログ制御線を配線するようにしたので、回路ブロックを迂回することなくアナログ制御線を配線することができ、アナログ配線によるチップ面積の増大を防ぐことができる。しかも、ある回路ブロックがオン状態のときには他の回路ブロックは必ずオフ状態にあるため、ある回路ブロックのレイアウト上に他の回路ブロックに対するアナログ制御線を重ねて配線しても、信号線とアナログ制御線との間における信号の相互干渉が発生しないよう

にすることもできる。

【図面の簡単な説明】

【図 1】

本実施形態による半導体集積回路のレイアウト例を示す図である。

【図 2】

A M 回路ブロック内の構成例を示す図である。

【図 3】

F M 回路ブロック内の構成例を示す図である。

【図 4】

本実施形態による半導体集積回路の他のレイアウト例を示す図である。

【図 5】

フィードバックループを備えた回路を示す図である。

【図 6】

従来の半導体集積回路のレイアウト例を示す図である。

【符号の説明】

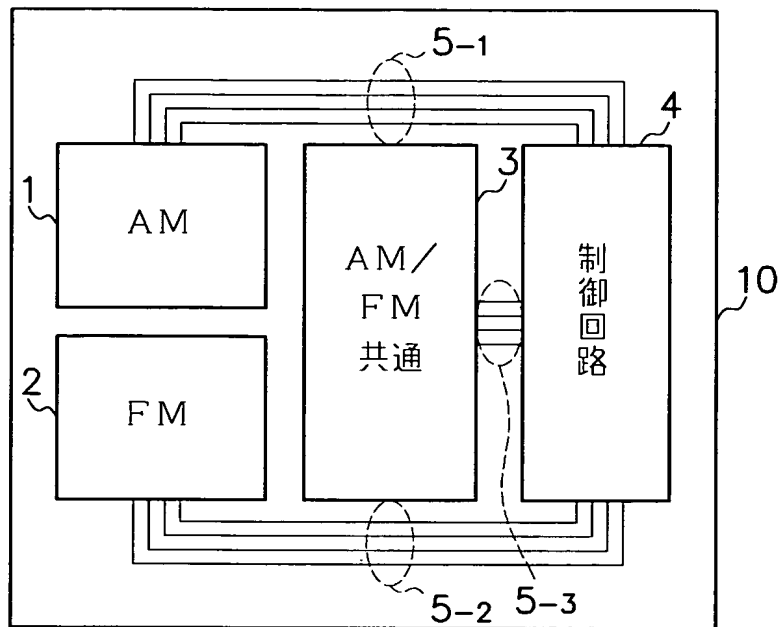
- 1 A M 回路ブロック
- 2 F M 回路ブロック
- 3 A M ・ F M 共通回路ブロック
- 4 制御回路
- 5 _1, 5 _2, 5 _3 アナログ制御ライン
- 1 0 I C チップ
- 2 0 I C チップ
- 1 1 高周波増幅回路
- 1 2 混合回路
- 1 3 局部発振回路 (O S C)
- 1 4 選局回路
- 1 5 中間周波増幅回路
- 1 6 A M 検波回路
- 1 7 自動利得制御 (A G C) 回路

- 1 8 低周波増幅回路
- 2 1 高周波増幅回路
- 2 2 混合回路
- 2 3 局部発振回路 (O S C)
- 2 4 選局回路
- 2 5 中間周波増幅回路
- 2 6 F M 検波回路
- 2 7 ステレオ復調回路
- 2 8 L , 2 8 R デイエンファシス回路
- 2 9 L , 2 9 R 低周波増幅回路

【書類名】 図面

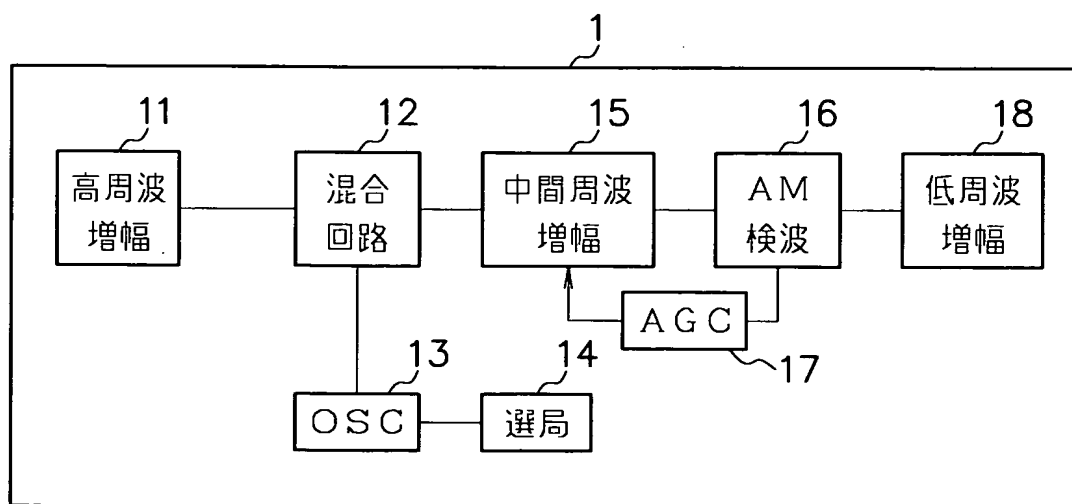
【図 1】

本実施形態のチップレイアウト例



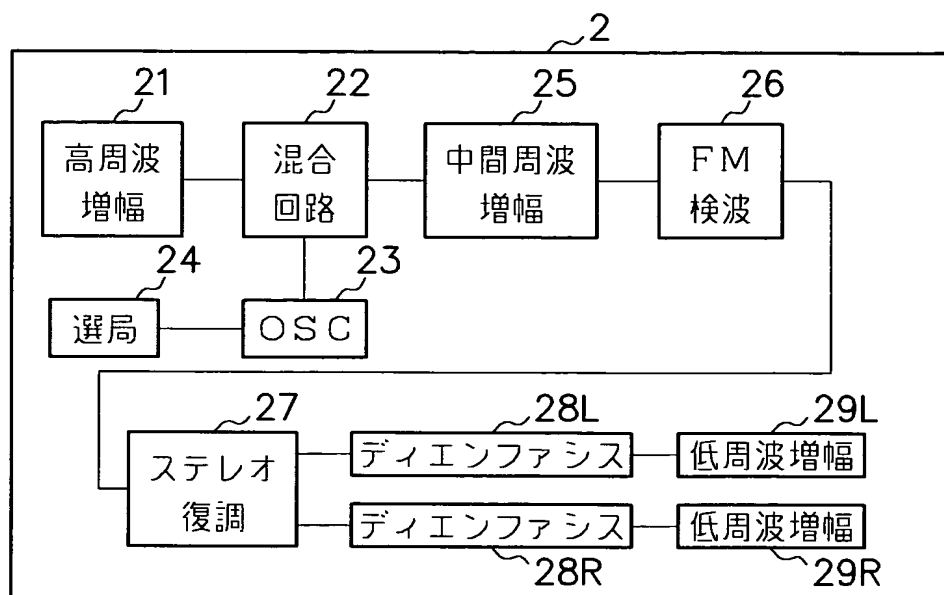
【図 2】

AM回路ブロックの構成例



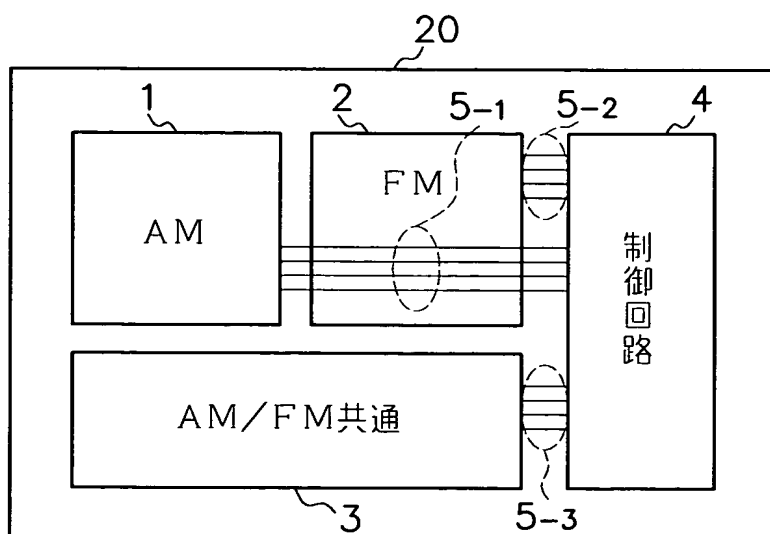
【図 3】

FM回路ブロックの構成例



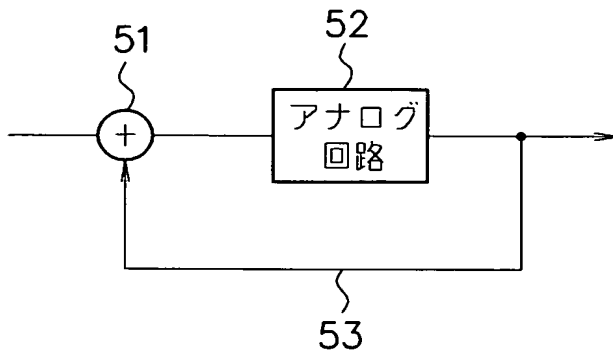
【図 4】

他のチップレイアウト例



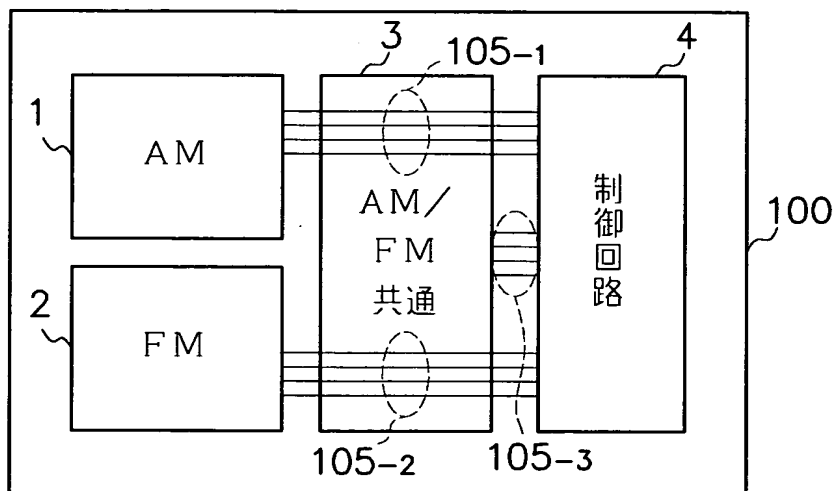
【図 5】

フィードバックループを備えた回路



【図 6】

従来のチップレイアウト



【書類名】 要約書

【要約】

【課題】 CMOS技術を用いて複数の回路ブロックを1チップ上に集積する場合に、各回路ブロックに対して接続されるアナログ制御ラインを通じた結合ノイズを防止し、アナログ特性の劣化や回路の誤動作を抑止できるようにする。

【解決手段】 CMOSプロセスで構成された回路ブロック1～3と、これに接続されるアナログ制御線5₋₁, 5₋₂, 5₋₃とがレイアウト上重ならないように、アナログ制御線5₋₁, 5₋₂をAM・FM共通回路ブロック3のレイアウト外部に迂回するように配線することにより、AM・FM共通回路ブロック3内の信号線とアナログ制御線5₋₁, 5₋₂との距離をできるだけ離し、AM・FM共通回路ブロック3内の信号線とアナログ制御線5₋₁, 5₋₂とが寄生容量を介して結合しないようにして、信号線とアナログ制御線5₋₁, 5₋₂との間で起こる信号の相互干渉を抑止できるようにする。

【選択図】 図1

特願 2 0 0 1 - 2 2 0 8 7 7

出 願 人 履 歴 情 報

識別番号

[5 9 1 2 2 0 8 5 0]

1. 変更年月日

1 9 9 6 年 5 月 9 日

[変更理由]

住所変更

住 所

新潟県上越市西城町 2 丁目 5 番 1 3 号

氏 名

新潟精密株式会社